

Microcontroladores HC08

Curso Básico Família MC68HC908QT/QY

Edmur Canzian

2003

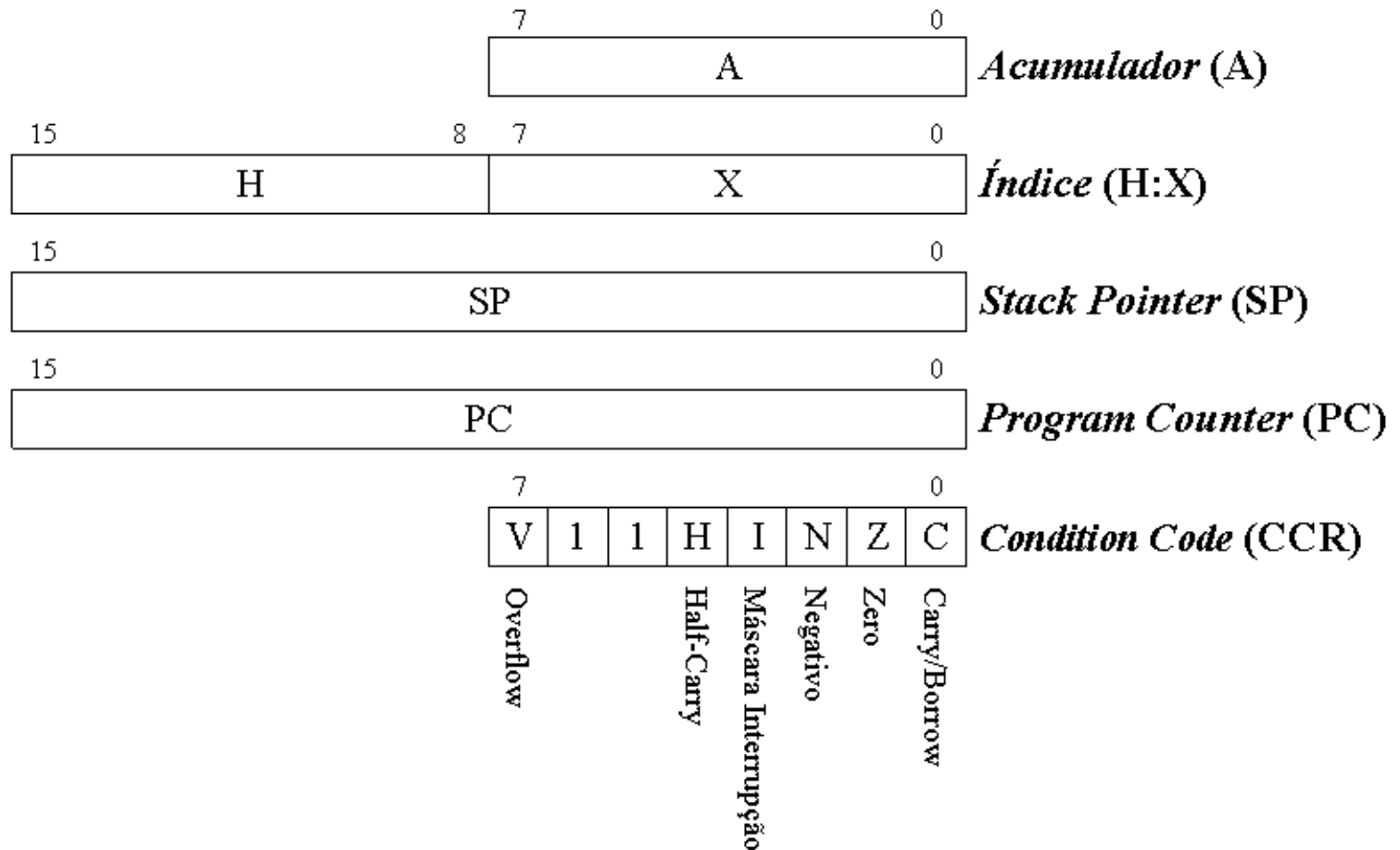
Principais Características

- ◆ CPU com frequência padrão de barramento de até 8MHz
- ◆ 64 Kbytes de endereçáveis para memória de programa, dados e periféricos
- ◆ Barramento interno flexível para acessar periféricos
- ◆ Modos de baixo consumo STOP e WAIT
- ◆ Código objeto compatível com a família M68HC05

Principais Características

- ◆ Registrador de 16 bits para *Stack Pointer* com instruções de manipulação da pilha
- ◆ Registrador de 16 bits de Índice (H:X) com manipulação do byte alto (H) e baixo (X)
- ◆ 16 modos de endereçamento
- ◆ Movimentação de dados da memória para memória sem utilizar acumulador
- ◆ Instruções rápidas de multiplicação de 8 bits por 8 bits e divisão de 16 bits por 8 bits
- ◆ Instruções avançadas para manipulação de dados em BCD

Modelo de Programação



Registradores específicos

Acumulador

	Bit 7	6	5	4	3	2	1	Bit 0
A								
Reset	x	x	x	x	x	x	x	x

Índice

	Bit15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	Bit 0
H:X	H								X							
Reset	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

Stack Pointer

	Bit15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	Bit 0
SP																
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Program Counter

	Bit15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	Bit 0
PC																
Reset	Carregado com o dado do vetor \$FFFE								Carregado com o dado do vetor \$FFFF							

Registrador *Condition Code*

	Bit 7	6	5	4	3	2	1	Bit 0
CCR	V	1	1	H	I	N	Z	C
Reset	x	1	1	x	1	x	x	x

- ♦ **V (Overflow)** – Transbordo em operações aritméticas com sinal
- ♦ **H (Half-carry)** – Transbordo do bit 3 para o 4 (aritmética com BCD)
- ♦ **I (Mask Interrupt)** – Máscara interrupções
- ♦ **N (Negative)** – Resultado negativo de operações aritméticas
- ♦ **Z (Zero)** – Resultado igual a zero
- ♦ **C (Carry)** – Transbordo do bit 7

Modos de endereçamento

- ◆ **Inerente**

DECA – Decrementa conteúdo do acumulador

- ◆ **Imediato**

LDA #\$20 – Carrega o acumulador com o valor \$20

- ◆ **Direto**

LDA \$40 – Carrega do acumulador com o conteúdo do endereço \$0040 da memória

- ◆ **Estendido**

LDA \$45FA – Carrega o acumulador com o conteúdo do endereço \$45FA da memória

Modos de endereçamento

- ◆ **Indexado sem *offset***

LDA ,X – Carrega o acumulador com o conteúdo do endereço armazenado no registrador H:X

- ◆ **Indexado com *offset* de 8 bits**

LDA \$5E,X – Carrega o acumulador com o conteúdo do endereço armazenado em $(H:X + \$5E)$

- ◆ **Indexado com *offset* de 16 bits**

LDA \$485E,X – Carrega o acumulador com o conteúdo do endereço armazenado em $(H:X + \$485E)$

Modos de endereçamento

- ♦ **Indexado sem *offset* e pós-incremento**
CBEQ X+,TAG – Compara o conteúdo de A com o conteúdo do endereço armazenado em H:X, salta para TAG quando igual, e posteriormente, incrementa X.
- ♦ **Indexado com *offset* de 8 bits e pós-incremento**
CBEQ \$50,X+,TG1 - Compara o conteúdo de A com o conteúdo do endereço armazenado em (H:X + \$50), salta para TAG quando igual, e posteriormente, incrementa X.

Modos de endereçamento

- ◆ **Stack Pointer com *offset* de 8 bits**

LDA \$48,SP – Carrega o acumulador com o conteúdo do endereço armazenado em **(SP + \$48)**.

- ◆ **Stack Pointer com *offset* de 16 bits**

LDA \$485E,SP – Carrega o acumulador com o conteúdo do endereço armazenado em **(SP + \$485E)**.

- ◆ **Relativo**

BCC *Volta* – Desvia para o endereço *Volta* se o flag de carry (C) estiver resetado.

Modos de Endereçamento

- ♦ **Movimento de dados imediato para direto**

MOV # $\$40$, $\$25$ – Movimenta o valor $\$40$ para o endereço $\$25$.

- ♦ **Movimento direto para direto**

MOV $\$40$, $\$25$ – Movimenta o conteúdo do endereço $\$40$ para o endereço $\$25$.

- ♦ **Movimento indexado para direto com pós-incremento**

MOV $X+$, $\$23$ - Movimenta o conteúdo do endereço armazenado no par $H:X$ para o endereço $\$0023$ e, posteriormente, incrementa $H:X$.

- ♦ **Movimento direto para indexado com pós-incremento**

MOV $\$23$, $X+$ - Movimenta o conteúdo do endereço $\$0023$ para o par $H:X$ e, posteriormente, incrementa $H:X$.

Conjunto de Instruções

Movimento de Dados

LDA LDX STA STX TAX TXA LDHX MOV PSHA
PSHH PSHX PULA PULH PULX STHX

Aritmética

ADD ADC SUB SBC MUL DAA DIV

Lógica

AND ORA EOR COMA COMX COM NSA

Conjunto de Instruções (cont.)

Manipulação de Dados (Inc/Dec/Neg/Clr)

**INCA INCX INC DECA DECX DEC CLR CLRA CLRX
NEGA NEGX NEG AIS AIX CLRH**

Manipulação de Dados (Rotate/Shift)

**ROLA ROLX ROL RORA RORX ROR LSLA LSLX LSL
LSRA LSRX LSR ASRA ASRX ASR**

Manipulação de Bit

BSET BCLR

Conjunto de Instruções (cont.)

Teste de Dados

CMP CPX BIT TSTA TSTX TST BRCLR BRSET CPHX

Desvios Relativos

**BRA BRN BSR BHI BLO BHS BLS BPL BMI BEQ
BNE BCC BCS BHCC BHCS BMC BMS BIL BIH BGE
BGT BLE BLT CBEQ CBEQA CBEQX DBNZ**

Salto/Retorno

JMP JSR RTS

Controle

**SEC CLC SEI CLI SWI RTI RSP NOP WAIT STOP
TAP TPA TSX TXS**

Modos de Baixo Consumo

♦ Modo WAIT

- Habilita interrupções
- Desabilita somente o clock da CPU
- Desperta a CPU com interrupção, reset ou BREAK
- Corrente típica (I_{DD}) 50% da corrente em execução
- Os periféricos podem ser desabilitados individualmente para reduzir cada vez mais o consumo

♦ Modo STOP

- Habilita interrupções externas
- Desabilita o clock da CPU e dos periféricos
- Desperta a CPU com interrupção, reset ou BREAK, após tempo de estabilização do oscilador.
- Corrente típica (I_{DD}) de $1\mu A$ a $3\mu A$

Processamento de exceções

- ◆ Reset
- ◆ Interrupções
 - Interrupções mascaráveis (hardware)
 - Interrupção não mascarável (Instrução SWI)
- ◆ Interrupção BREAK

Processamento de exceções RESET

- ♦ A família HC08 possui várias fontes de reset:
 - Módulo POR (*Power-On Reset*)
 - Pino de reset externo (/RST)
 - Módulo COP (*Computer Operating Properly*)
 - Módulo LVI (*Low-Voltage Inhibit*)
 - *Opcode* ilegal
 - Endereço ilegal

Nota: Todas estas fontes de reset carregam o vetor \$FFFE-\$FFFF no PC e ativam o sinal de reset interno (IRST).

Processamento de exceções

INTERRUPÇÕES

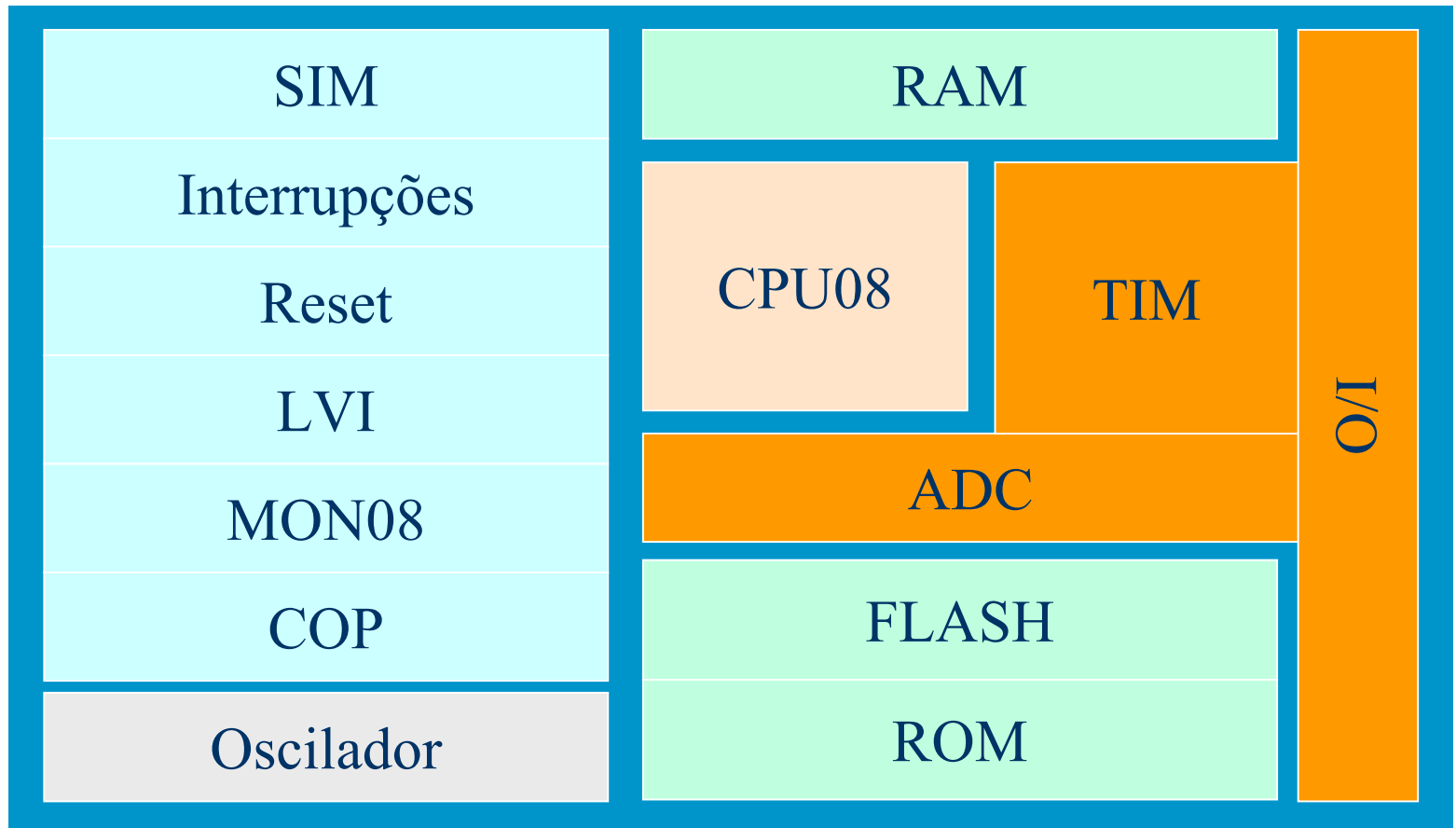
♦ Tipos de Interrupção

- Software – SWI
- Hardware - IRQ, TIM, ADC, KBI, Port

♦ Processamento de Interrupções:

- Reconhecimento (*Recognition*)
- Arbitramento (*Arbitration*)
- Empilhamento (*Stacking*)
- Busca do vetor (*Vector Fetching*)
- Rotina da Interrupção (*Interrupt Service Routine*)

Arquitetura MC68HC908QT/QY



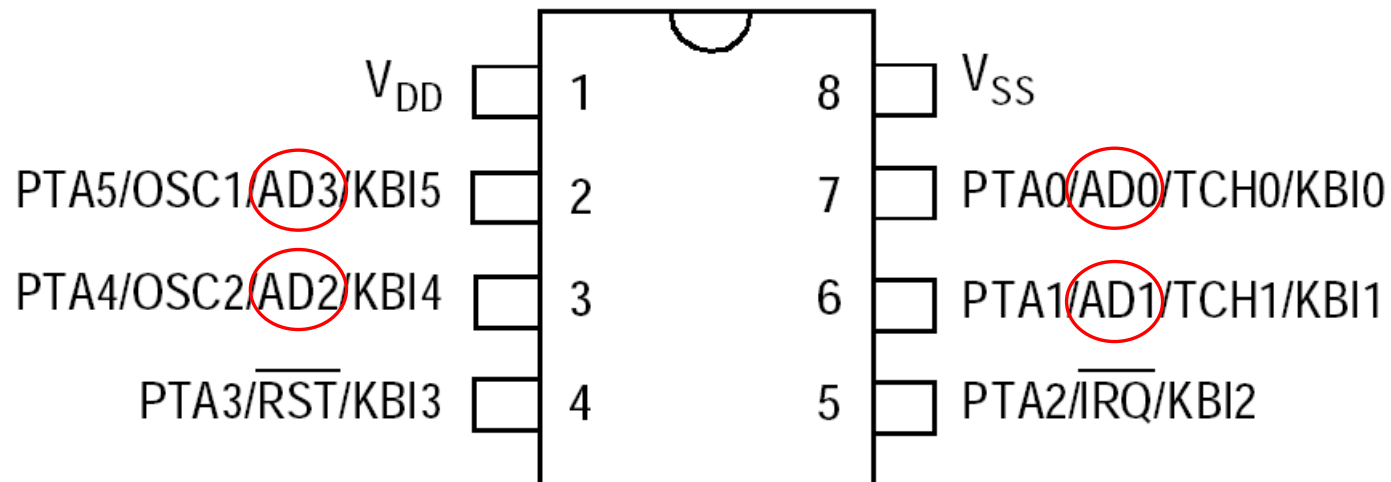
Família MC68HC908QT/QY

Dispositivo	Memória FLASH	Conversor A/D	Nº pinos
MC68HC908QT1	1536 bytes	-	8 pinos
MC68HC908QT2	1536 bytes	4 canais de 8 bits	8 pinos
MC68HC908QT4	4096 bytes	4 canais de 8 bits	8 pinos
MC68HC908QY1	1536 bytes	-	16 pinos
MC68HC908QY2	1536 bytes	4 canais de 8 bits	16 pinos
MC68HC908QY4	4096 bytes	4 canais de 8 bits	16 pinos

Pinagem do MC68HC908QT

MC68HC908QT2

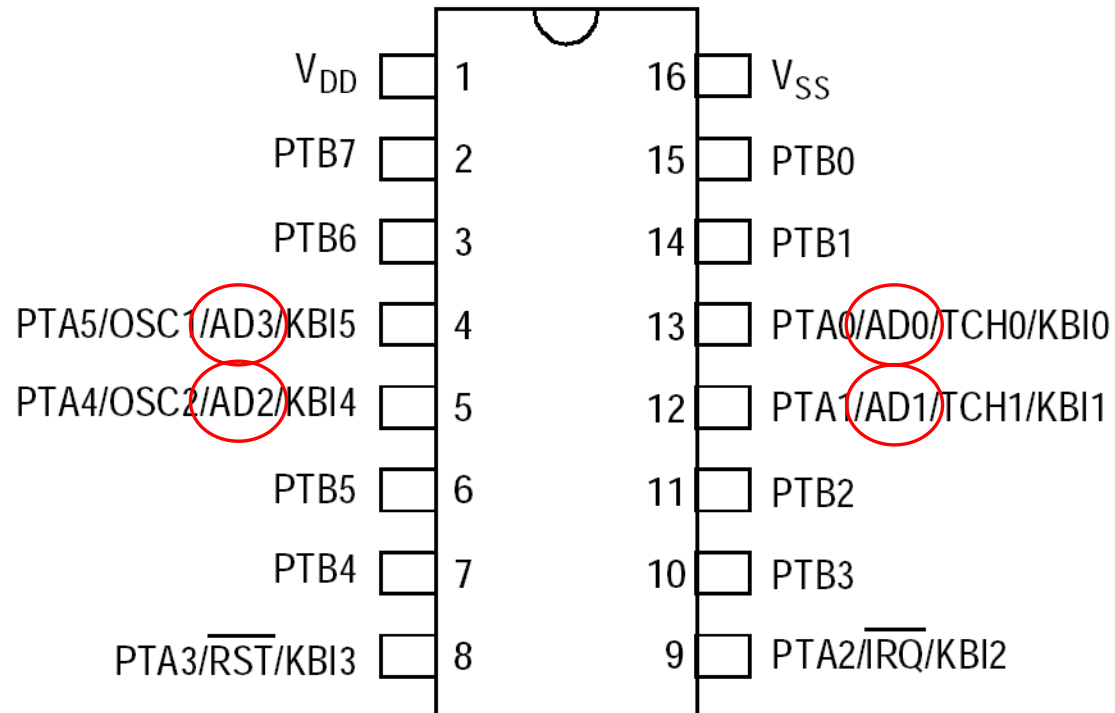
MC68HC908QT4



Pinagem do MC68HC908QY

MC68HC908QY2

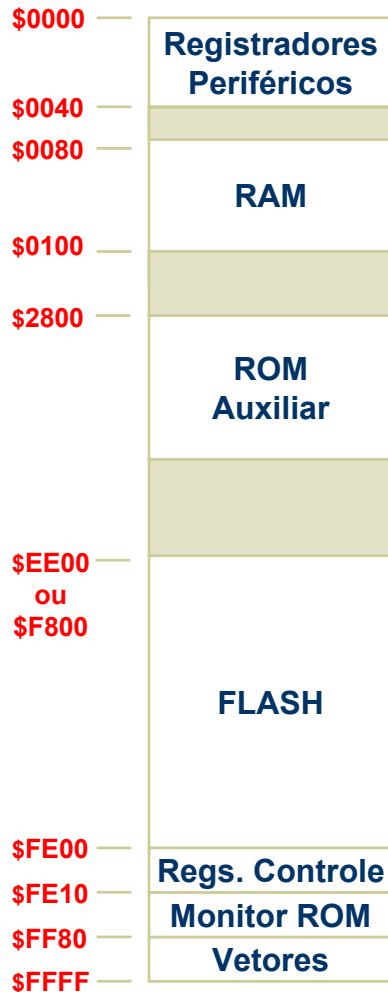
MC68HC908QY4



Memória

- ◆ 1536 bytes de memória FLASH (MC68HC908QT1/QT2 e MC68HC908QY1/QY2)
- ◆ 4096 bytes de memória FLASH (MC68HC908QT4 e MC68HC908QY4)
- ◆ 128 bytes de memória RAM
- ◆ 48 bytes para vetores de interrupção programáveis e armazenados na FLASH
- ◆ 416 bytes de memória ROM para o Monitor
- ◆ 1536 bytes com rotinas para apagamento e programação da memória FLASH, localizados na ROM

Mapeamento de Memória



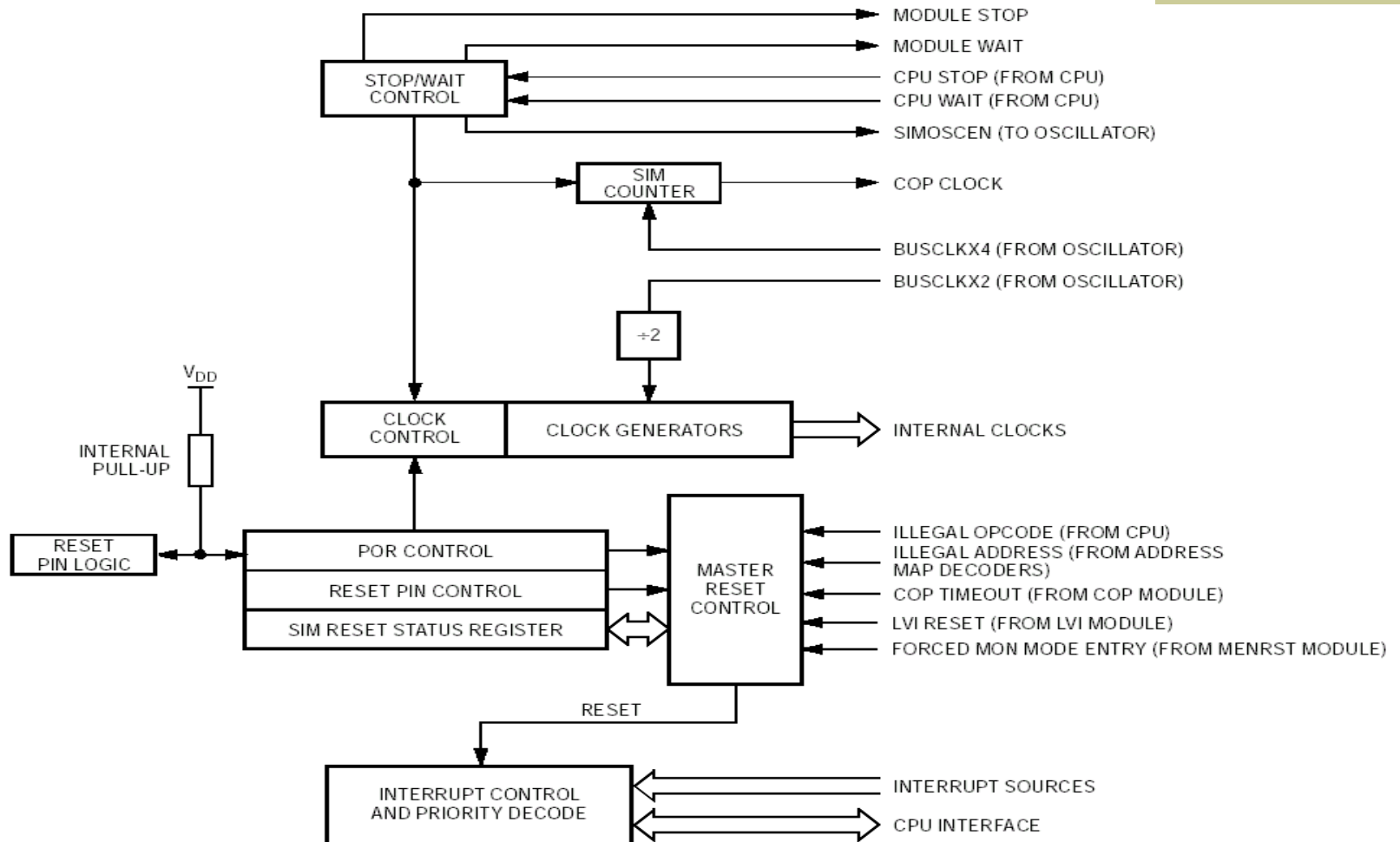
- ◆ Registradores e periféricos mapeados em memória (sem instruções de I/O especiais)
- ◆ Manipulação direta de bits na Página Zero (\$0000 - \$00FF) - Código mais rápido e eficiente
- ◆ Toda memória de Programa e de Dados endereçável no mesmo mapa de memória
- ◆ Sem páginas (bancos) de memória
- ◆ Pode realizar operações de dados na memória de programa e executar programas na memória de dados

Módulo de Integração do Sistema (SIM)

- ♦ Geração do clock do barramento e periféricos:
 - Gerenciamento de STOP/WAIT/RESET/BREAK
 - Controle do clock interno
- ♦ Controle do Reset, incluindo POR e o timeout do COP
- ♦ Controle de interrupções:
 - Temporização do reconhecimento da interrupção
 - Temporização do controle de arbitramento
 - Geração do endereço do vetor da interrupção
- ♦ Temporização para habilitação/desabilitação da CPU

Módulo SIM

(Continuação)



Processamento de Exceções RESET

◆ Tipos de RESET

- Externo - Power On ($V_{DD} = 0$), pino /RST = 0
- Interno - COP, LVI, Opcode Illegal, Endereço Illegal

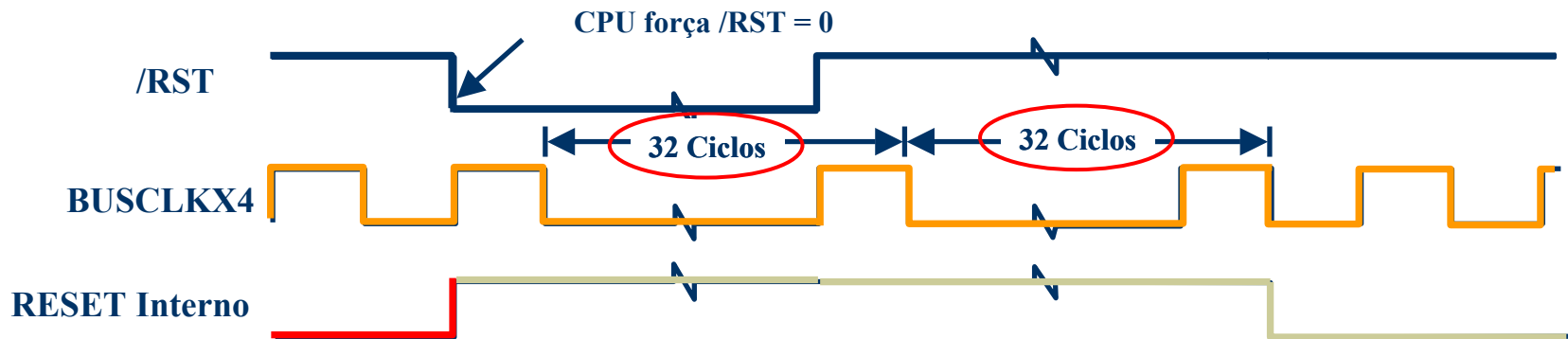
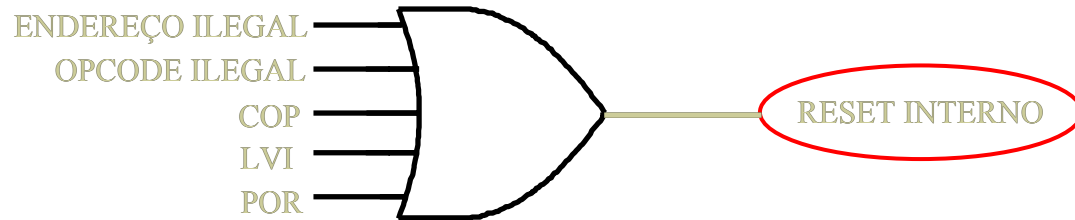
◆ Processamento do RESET

- Ports I/O configurados como entrada
- *Stack Pointer* é inicializado com o endereço \$00FF
- Interrupções mascaráveis são inibidas ($I = 1$)
- Interrupção externa é resetado
- Modo STOP é resetado
- Modo WAIT é resetado

Power-On Reset (POR)

- ◆ Na energização ocorrem os seguintes eventos:
 - Pulso POR é gerado
 - O sinal de reset interno é ativado
 - O módulo SIM fornece o sinal BUSCLKX4
 - Módulos são mantidos inativos por 4096 BUSCLKX4 ciclos para permitir a estabilização do oscilador
 - O pino de /RST = 0 durante a estabilização do oscilador
 - Registrador SRSR é atualizado
(bit POR = 1 e demais bits = 0)

RESET Interno



Temporização do RESET Interno

Registrador SRSR

(SIM Reset Status Register)

Este registrador (só de leitura) contém *flags* das fontes de Reset.
Um ciclo de leitura no SRSR **limpa** todos os flags .

Endereço do registrador SRSR: \$FE01

Bit 7	7	5	4	3	2	1	Bit 0
POR	PIN	COP	ILOP	ILAD	0	LVI	0

NOTA: Depois de múltiplos resets (de fontes diferentes) sem executar uma leitura no registrador SRSR, múltiplos flags permanecerão setados.

Processamento de Exceções

Fontes de Interrupção

Fonte de interrupção	Flag	Máscara	Reg. INT	End. do Vetor
Conversão A/D completa	COCO	AIEN	IF15	\$FFDE - \$FFDF
Interrupção de Teclado	KEYF	IMASKK	IF14	\$FFE0 - \$FFE1
Estouro do Timer (TIM)	TOF	T0IE	IF5	\$FFF2 - \$FFF3
Interrupção do Canal 1 (TIM)	CH1F	CH1IE	IF4	\$FFF4 - \$FFF5
Interrupção do Canal 0 (TIM)	CH0F	CH0IE	IF3	\$FFF6 - \$FFF7
Pino /IRQ	IRQF	IMASK1	IF1	\$FFFA - \$FFFB
Instrução SWI	-	-	-	\$FFFC - \$FFFD
Reset	-	-	-	\$FFFE - \$FFFF

Baixa

Prioridade

Alta

Mudança do Contexto

Programa Principal

CLI



EXCEÇÃO



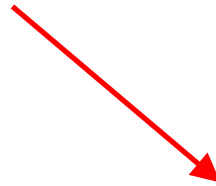
Mudança do Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

Reconhecimento

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção



Reset:

- Reconhecimento e atuação imediata

Interrupções:

- Reconhecimento durante o último ciclo da instrução corrente
- Atuação depois do último ciclo para instrução corrente

Arbitramento

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

Fonte de interrupção	Prioridade
Conversão A/D completa	15
Interrupção de Teclado	14
Estouro do Timer (TIM)	5
Interrupção do Canal 1 (TIM)	4
Interrupção do Canal 0 (TIM)	3
Pino /IRQ	1
Instrução SWI	0
Reset	0

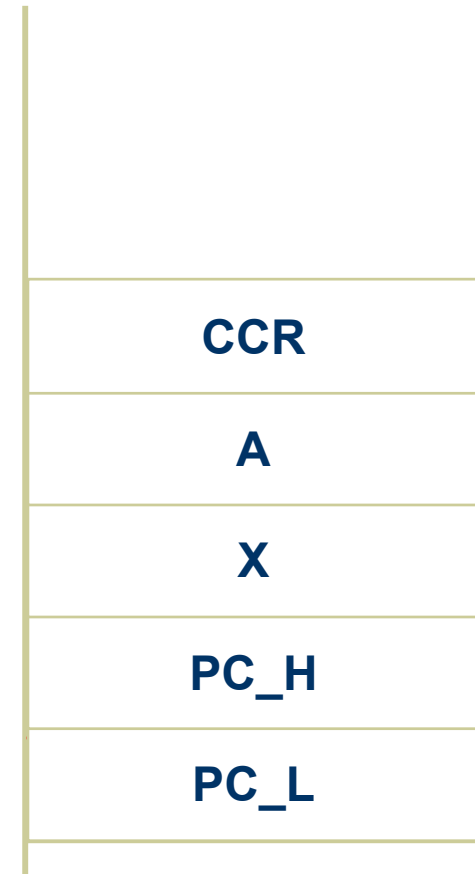
L
↑
H

Empilhamento

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

← SP



NOTA: O Stack Pointer sempre aponta para a próxima posição disponível (vazio) da pilha.

Busca do Vetor da Interrupção

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

End. do Vetor	Fonte de interrupção	Prior.
\$FFDE - \$FFDF	Conversão A/D completa	15
\$FFE0 - \$FFE1	Interrupção de Teclado	14
\$FFF2 - \$FFF3	Estouro do Timer	5
\$FFF4 - \$FFF5	Interrupção do Canal 1	4
\$FFF6 - \$FFF7	Interrupção do Canal 0	3
\$FFFA - \$FFFB	Pino /IRQ	1
\$FFFC - \$FFFD	Instrução SWI	0
\$FFFE - \$FFFF	Reset	0



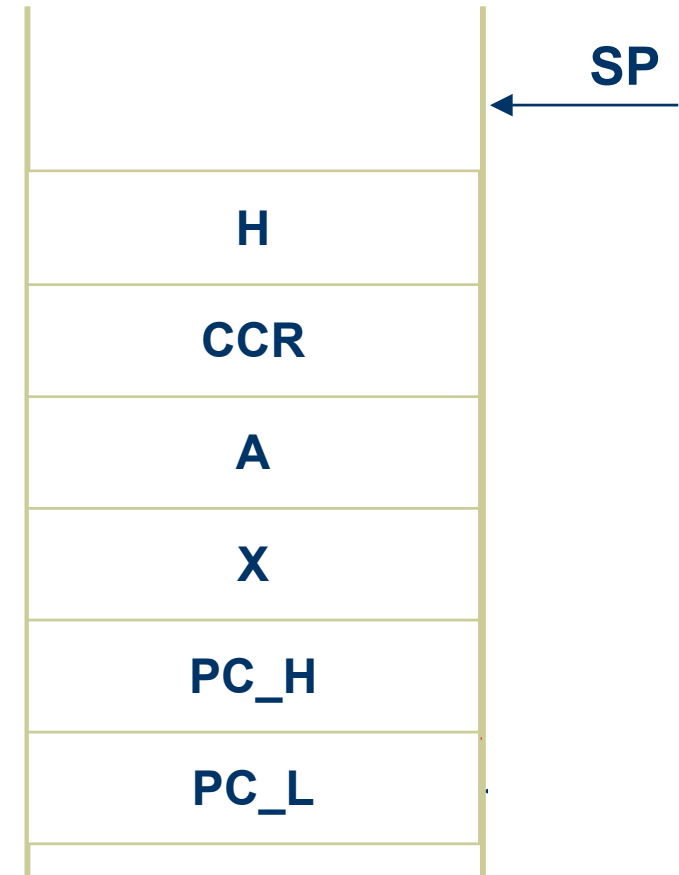
Execução do Serviço de Exceção

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

Rotina de Exceção

PSHH



Retorno ao Contexto Anterior

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação Interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

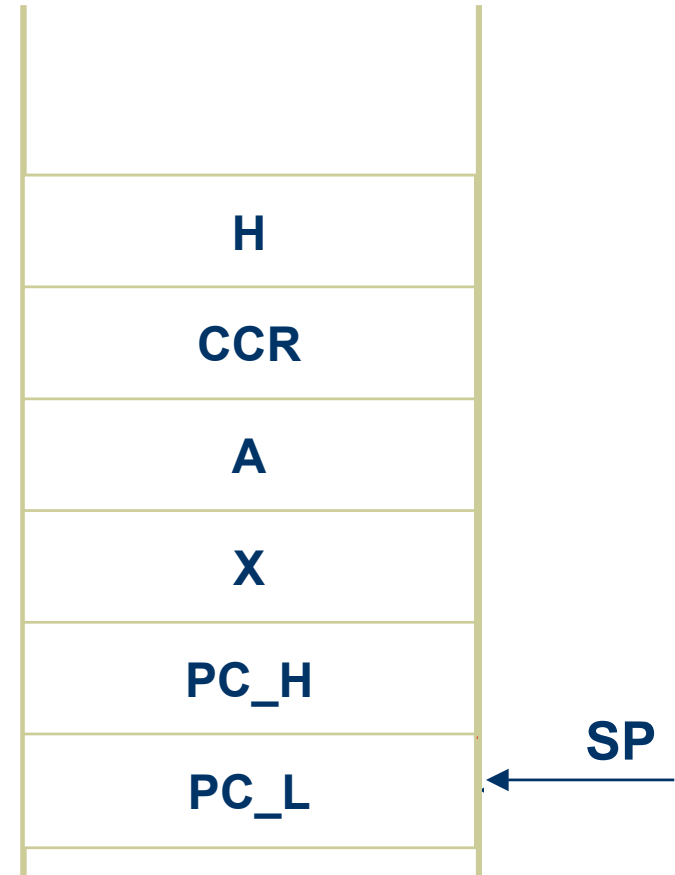
Rotina de Exceção

PSHH



PULH

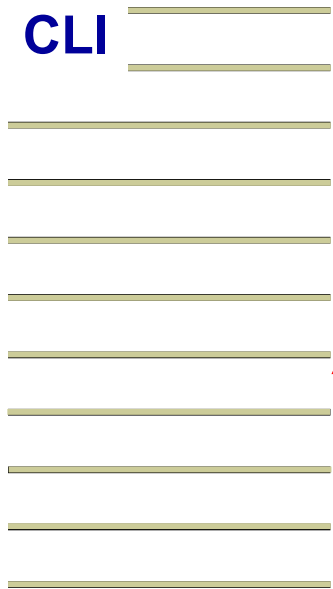
RTI



Retorno ao Contexto Anterior (Continuação)

Programa Principal

CLI



END

EXCEÇÃO

Retorno ao
Contexto Anterior

Mudança de Contexto

Reconhecimento
Arbitramento
Empilhamento
Desabilitação interrupções
Busca do Vetor Interrupção
Execução Rotina Interrupção

Serviço de Exceção

PSHH

PULH

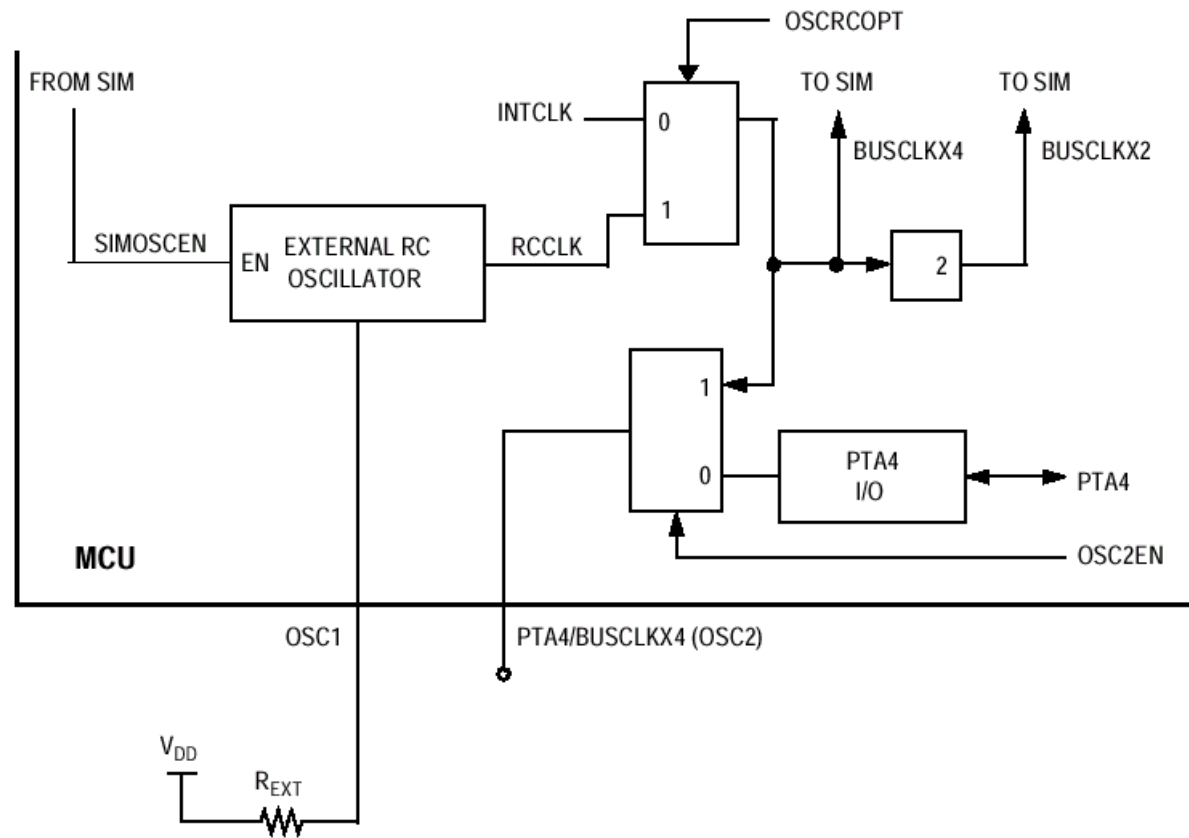
RTI

Módulo Oscilador (OSC)

- ◆ O oscilador tem 4 opções de fonte de clock disponíveis
 - **Oscilador interno** - Frequência fixa de 12.8MHz com tolerância de $\pm 25\%$, podendo ser ajustável por registrador (**OSCTRIM**) em $\pm 5\%$.
 - **Oscilador externo** - Clock externo que pode ser inserido diretamente no OSC1.
 - **RC externo** - Resistor externo (R) para gerar frequência. O capacitor (C) é interno ao chip.
 - **Cristal externo** - Módulo oscilador interno ao chip que necessita um cristal externo ou ressonador cerâmico.

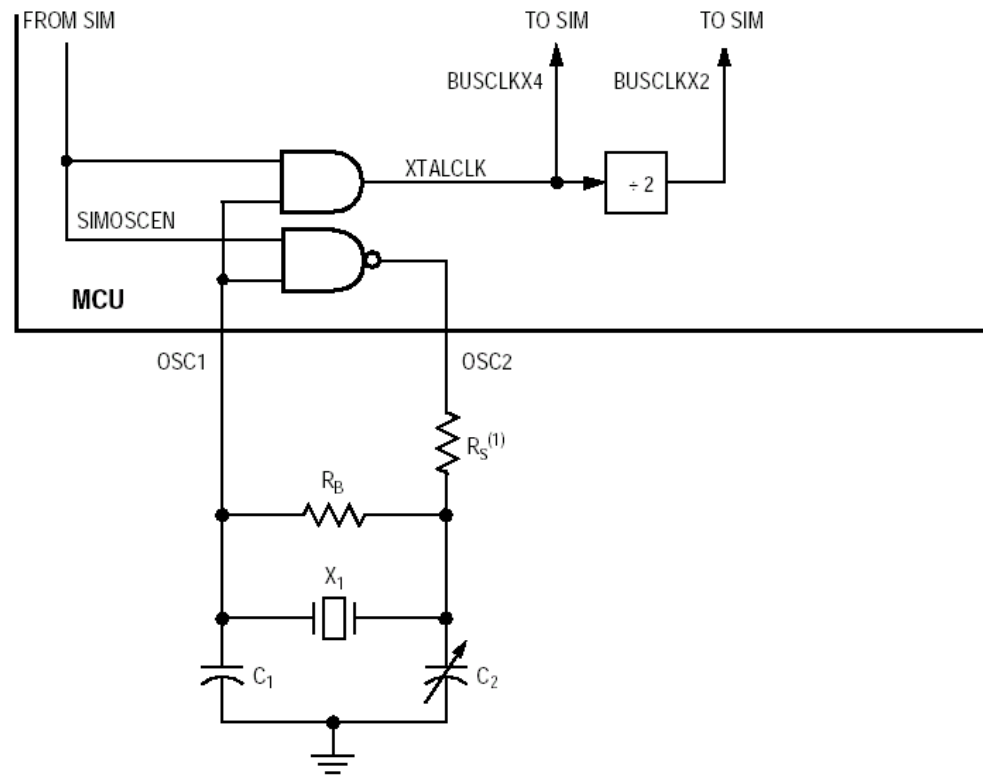
Módulo OSC

Oscilador RC



Módulo OSC

Cristal Externo



Monitor ROM

Principais Características

- ◆ Funcionalidade normal na maioria dos pinos
- ◆ Um pino dedicado para comunicação entre o Monitor ROM e um computador central
- ◆ Comunicação serial padrão com o computador central
- ◆ Execução do código em RAM ou FLASH
- ◆ Características de proteção de código da memória FLASH
- ◆ Interface de programação da memória FLASH

Monitor ROM

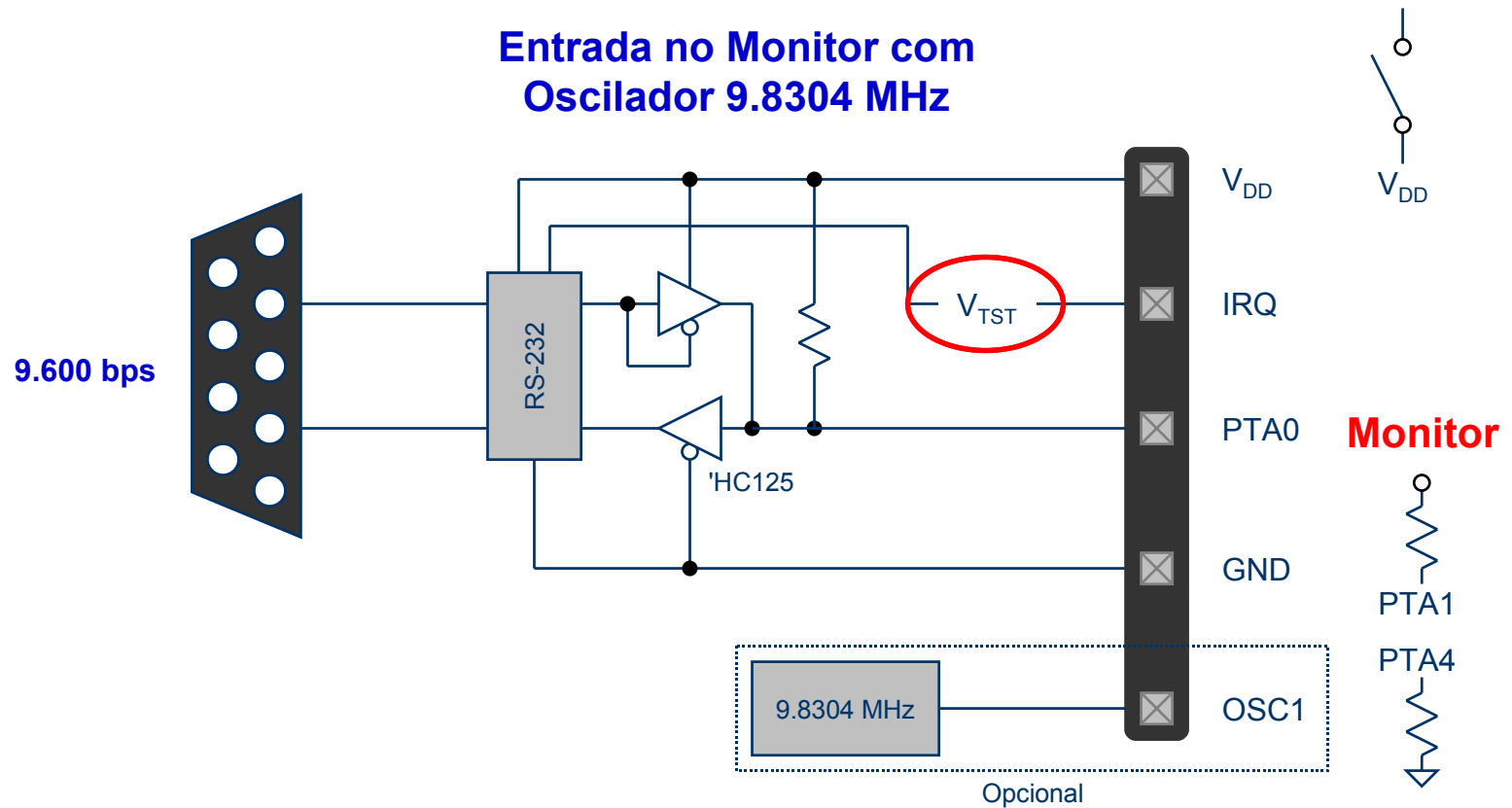
Principais Características (cont.)

- ◆ Utilização de cristal externo ou oscilador de 9.83MHz
- ◆ Modo de operação com oscilador interno
- ◆ 574 bytes de código do monitor ROM
- ◆ Entrada no Monitor sem necessidade de tensão alta (V_{TST}) se o vetor de reset estiver apagado (\$FFFE e \$FFFF = \$FF)
- ◆ Modo de entrada padrão se houver tensão alta no pino /IRQ

Monitor ROM

Interface de hardware

Entrada no Monitor com
Oscilador 9.8304 MHz



Monitor ROM

Modos de Entrada

Modo	/IRQ	/RST	Vetor Reset	PTA1	PTA4	Clock (MHz)	Comentário
						Baud (bps)	
Modo Monitor V_{TST}	V_{TST}	V_{DD}	x	1	0	Externo (f)	Tensões nos pinos PTA1 e PTA4 são necessárias. As funções /RST e OSC1 ativas.
						f / 1024	
Modo Monitor Forçado	V_{DD}	x	\$FF (apagado)	x	x	Externo (f)	Função OSC1 ativa. /RST e /IRQ estão disponíveis apenas se configurados depois.
						f / 1024	
Modo Monitor Forçado	V_{SS}	x	\$FF (apagado)	x	x	Interno (3.2)	As funções /RST, /IRQ, e OSC1 disponíveis apenas se configurados depois.
						9600 bps	
Modo Usuário	V_{DD} ou V_{SS}	x	$\neq$ \$FF (programado)	x	x	x	Entra no modo usuário. Pino /RST disponível apenas se configurado depois.

Monitor ROM

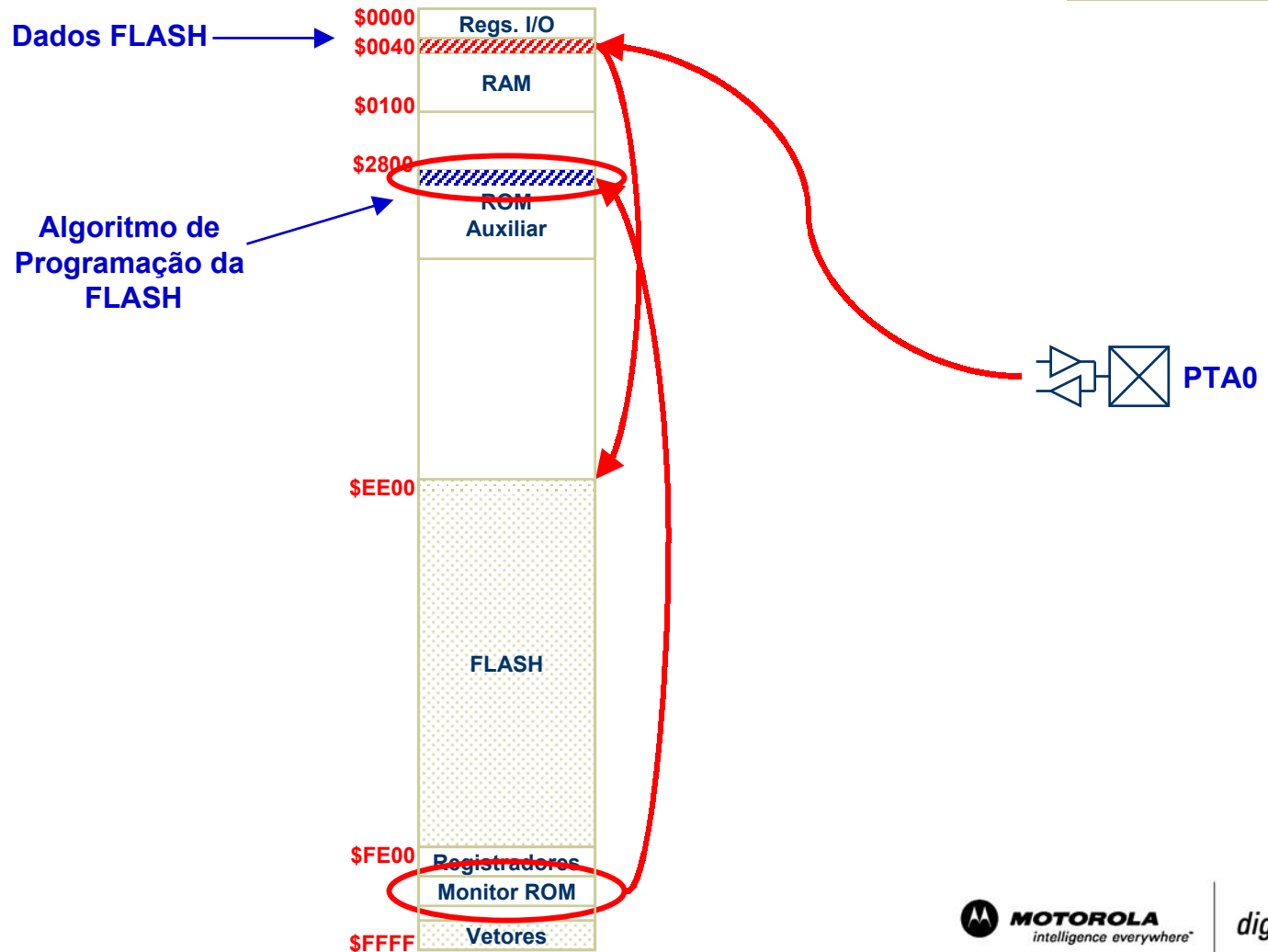
Vetores do Modo Usuário x Modo Monitor

Modos	Vetor					
	Reset High	Reset Low	Break High	Break Low	SWI High	SWI Low
Usuário	\$FFFE	\$FFFF	\$FFFC	\$FFFD	\$FFFC	\$FFFD
Monitor	\$FEFE	\$FEFF	\$FEFC	\$FEFD	\$FEFC	\$FEFD

- ◆ No modo monitor, a CPU utiliza vetores para Reset, interrupção de software (SWI), e interrupção Break diferentes das utilizadas para o modo usuário. Os vetores alternativos estão localizados na página \$FE, ao invés da página \$FF, em outras palavras permitem a execução do código relativo ao firmware do monitor interno, ao invés de executar o código do usuário.

Monitor ROM

Programação da FLASH



Monitor ROM Firmware

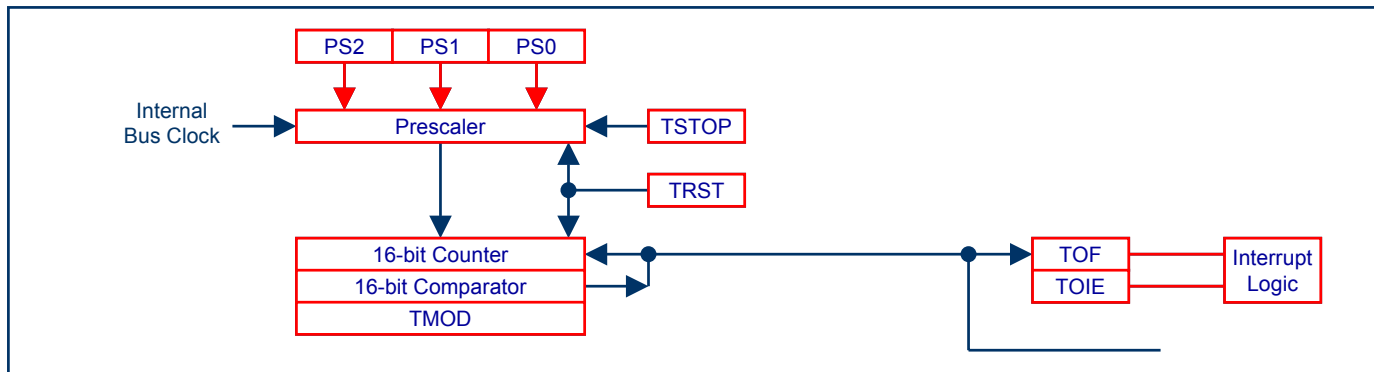
- ◆ Comandos executados para depuração:
 - READ – Leitura de um byte da memória
 - WRITE – Escrita de um byte na memória
 - IREAD – Leitura dos próximos 2 bytes da memória a partir do último endereço acessado
 - IWRITE – Escrita de um byte na memória no último endereço acessado + 1
 - READSP – Leitura do conteúdo do *Stack Pointer*
 - RUN – Executa as instruções PULH e RTI

Módulo de Interface do Timer (TIM)

- ◆ Principais características:
 - 2 canais para *input capture/output compare*
 - Captura do sinal de entrada por borda (configurável)
 - Altera o estado de uma saída nas ações de comparação de sinais
 - Geração dos sinais de PWM
 - Clock de entrada programável (7 opções de pré-escala)
 - Operação em contagem livre (*free-running*) ou contador de módulo pré-determinado
 - Altera qualquer pino no estouro de contagem
 - Bits de reset e parada do contador

Módulo TIM

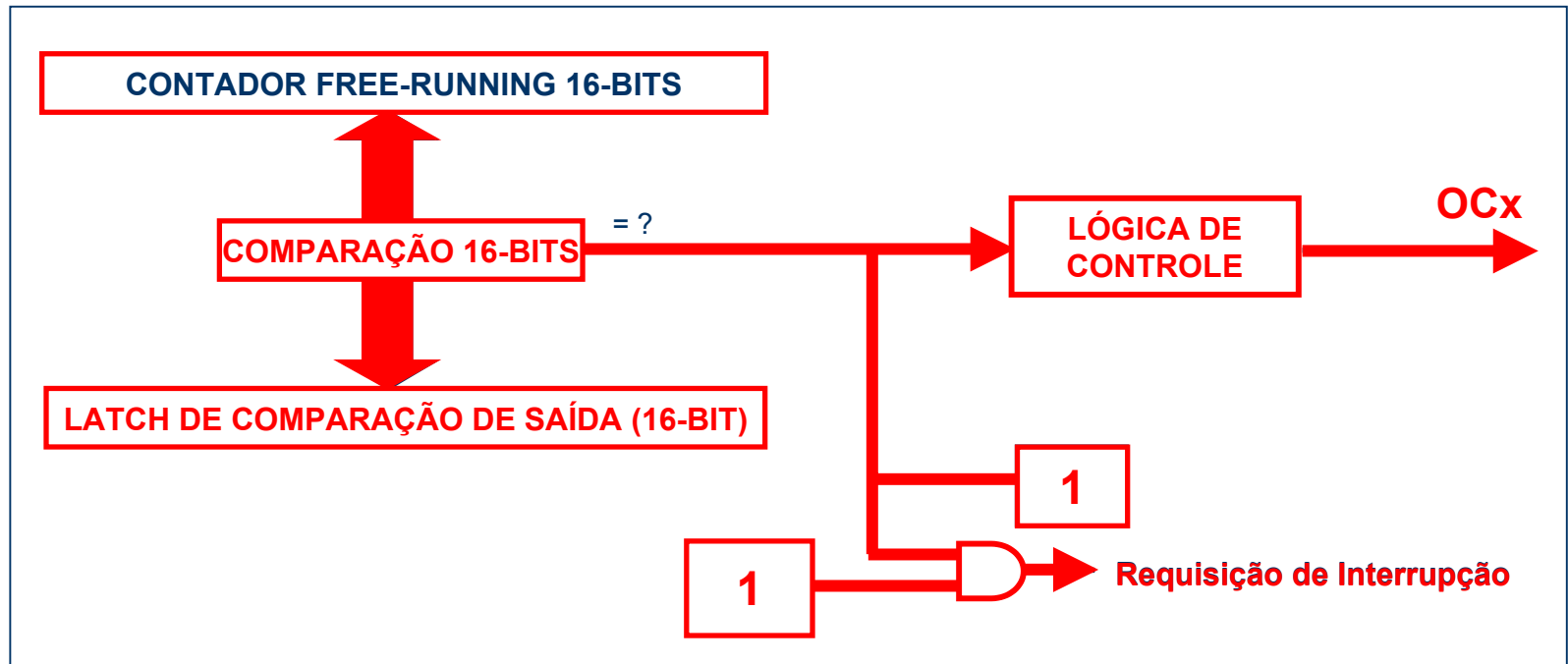
Referência de Tempo / Pré-escala



- ♦ Contador *free-running* de 16 bits com *stop* e *reset*
- ♦ Pré-escala para dividir a frequência de clock interna
 - Programável para um de sete valores
 - Resolução máxima de 125 ns (*bus clock* de 8MHz)
- ♦ Estouro do Timer com interrupção opcional
- ♦ Capacidade de contagem em módulo 16 bits

Módulo TIM

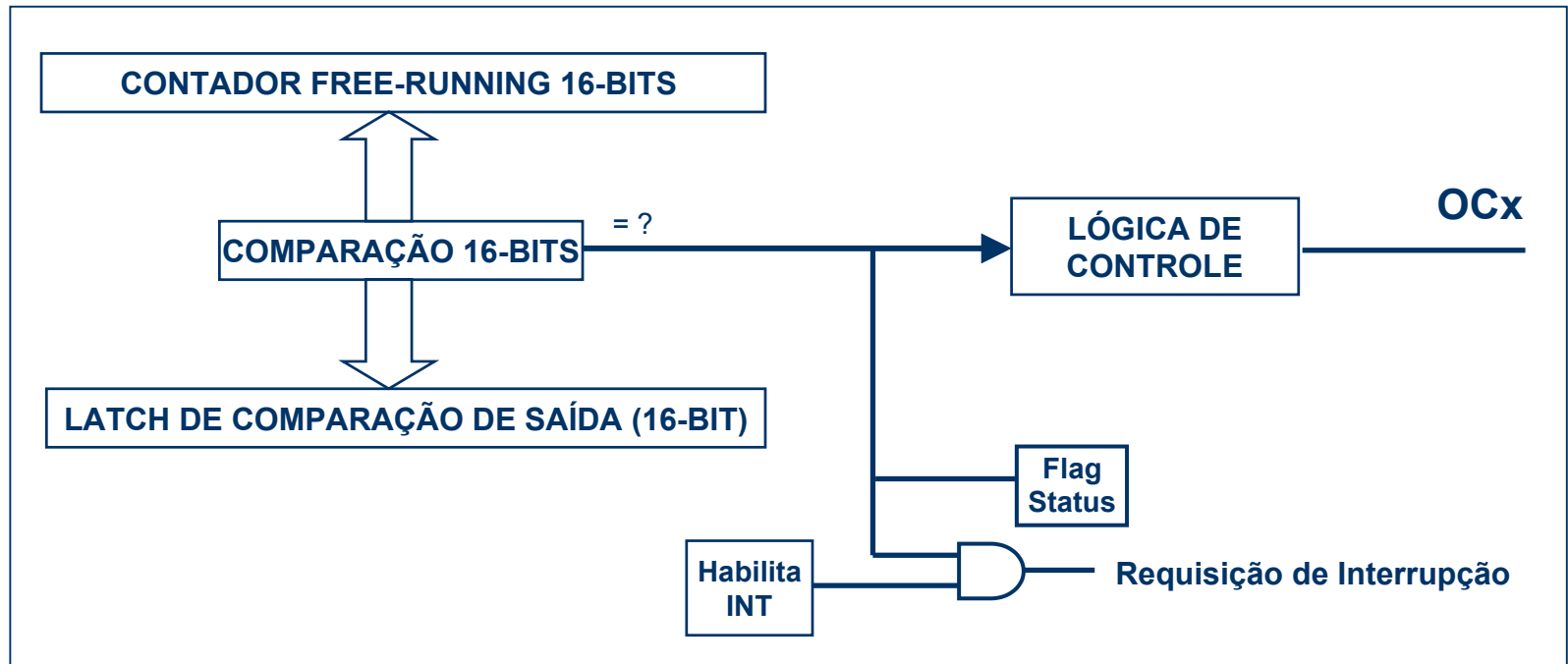
Comparação de Saída - Conceito



- ♦ Cada canal tem seu próprio pino de saída, latch de comparação de saída, comparador, flags de status, lógica de controle e controles locais de interrupção

Módulo TIM

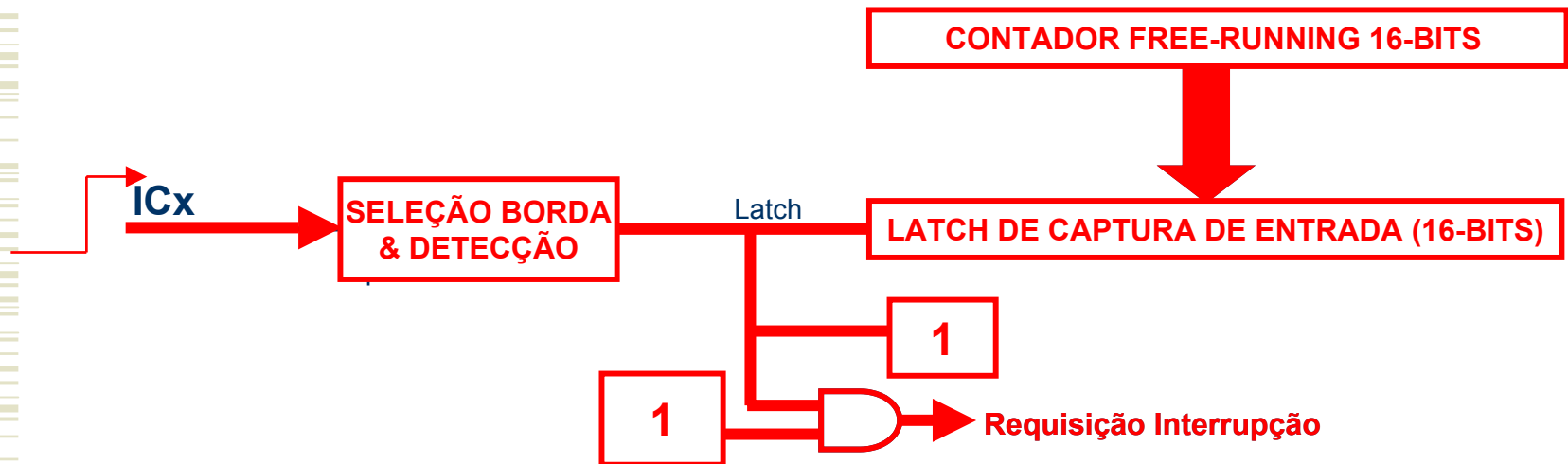
Comparação de Saída - Exemplos de Uso



- ♦ Eventos de Temporização Simples
- ♦ Interrupção Periódica
- ♦ Pulso de Saída Simples, Largura Variável
- ♦ Sinal PWM (*Pulse Width Modulated*)

Módulo TIM

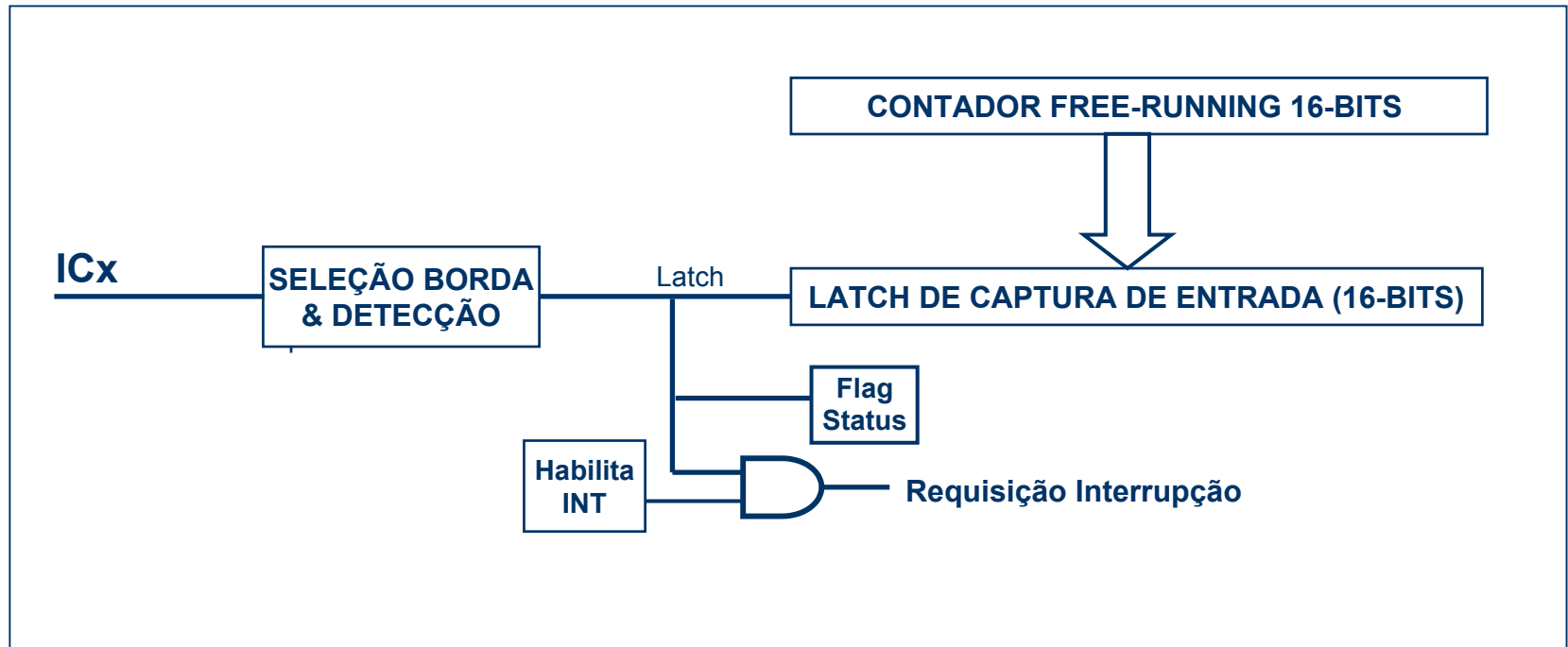
Captura de Entrada - Conceito



- Cada canal tem seu próprio pino de entrada, latch de captura de entrada, flags de status, seleção de borda de entrada e controles locais de interrupção

Módulo TIM

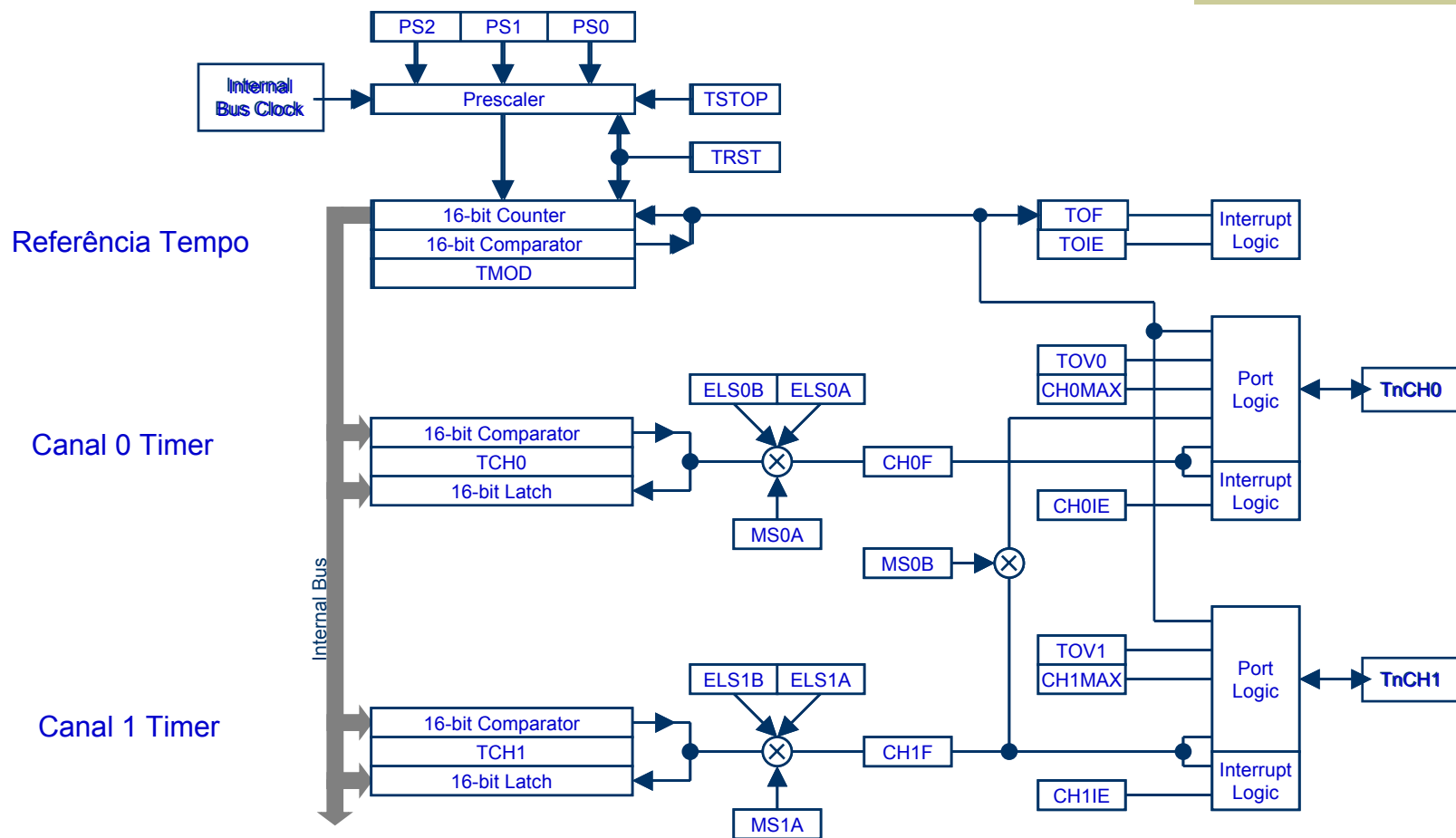
Captura de Entrada - Exemplos de Uso



- Referência Absoluta de Tempo para Eventos Externos
- Medida de Período de Entrada
- Medida de Largura de Pulso de Entrada
- Interrupções Externas Adicionais

Módulo TIM

Diagrama de Blocos

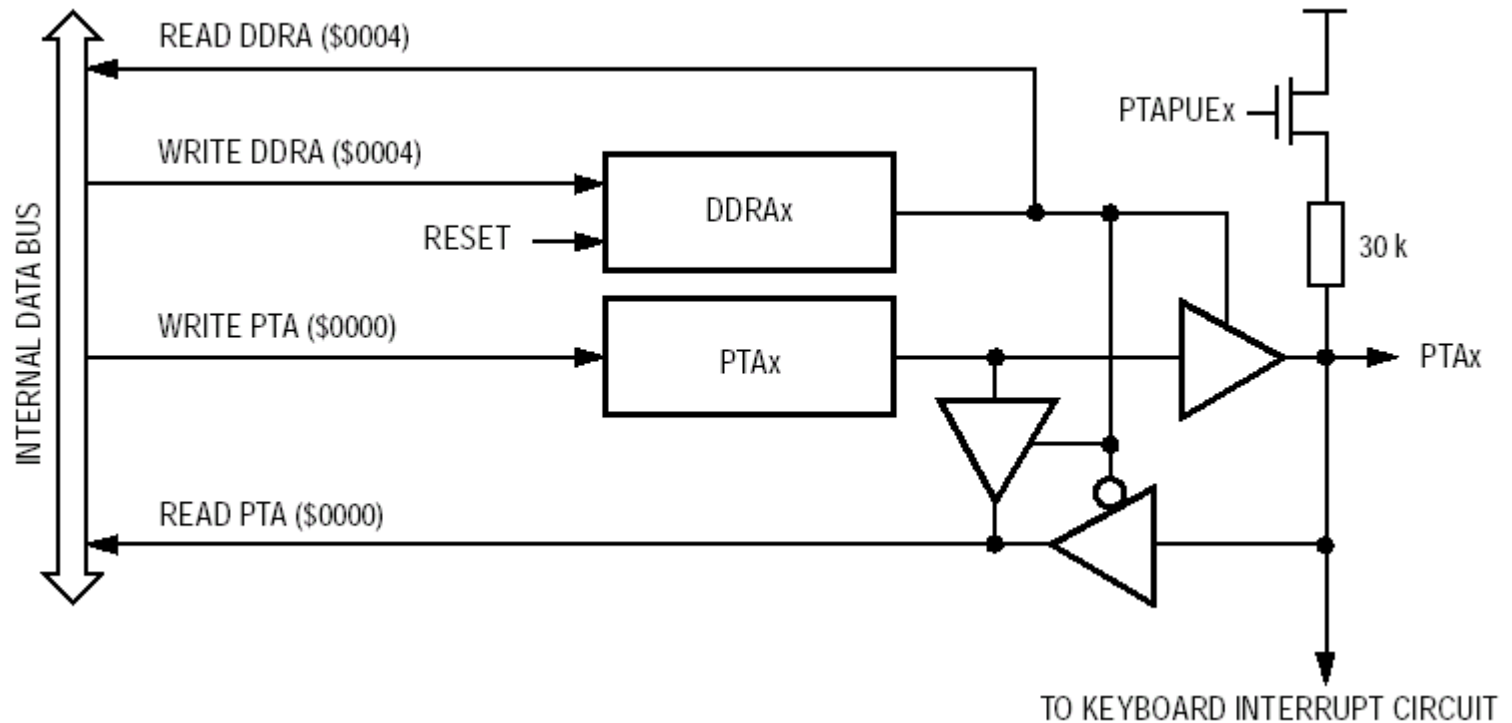


Conversor Analógico/Digital (ADC)

- ◆ Principais características:
 - 4 canais com multiplexação das entradas
 - Conversão por aproximação sucessiva linear
 - Resolução de 8 bits
 - Conversão simples ou contínua
 - *Flag* indicativa de conversão completada ou interrupção por conversão completada
 - Clock do ADC selecionável

Portas de Entrada/Saída

Port A



Portas de Entrada/Saída

Port A - Registradores

	BIT 7	6	5	4	3	2	1	BIT 0
DDRA	0	0	DDRA5	DDRA4	DDRA3	0	DDRA1	DDRA0
RESET	0	0	0	0	0	0	0	0

DDRA[5:0] – Bits de direção de dados

1 – Pino configurado como saída

0 – Pino configurado como entrada

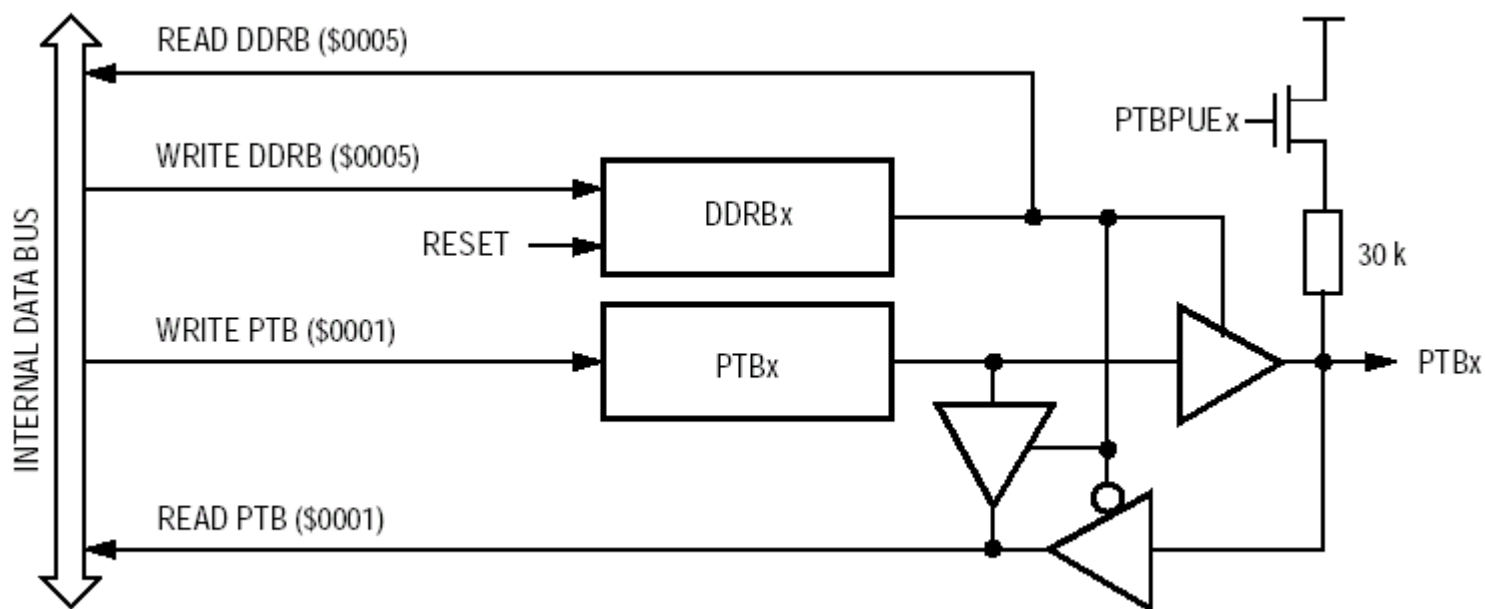
	BIT 7	6	5	4	3	2	1	BIT 0
PTA	0	AWUL	PTA5	PTA4	PTA3	PTA2	PTA1	PTA0
RESET	X	X	X	X	X	X	X	X

X - INDETERMINADO

NOTA: O pino PTA2 é somente entrada.

Portas de Entrada/Saída

Port B



Portas de Entrada/Saída

Port B - Registradores

	BIT 7	6	5	4	3	2	1	BIT 0
DDRB	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
RESET	0	0	0	0	0	0	0	0

DDRB[7:0] – Bits de direção de dados

1 – Pino configurado como saída

0 – Pino configurado como entrada

	BIT 7	6	5	4	3	2	1	BIT 0
PTB	PTB7	PTB6	PTB5	PTB4	PTB3	PTB2	PTB1	PTB0
RESET	X	X	X	X	X	X	X	X

X - INDETERMINADO

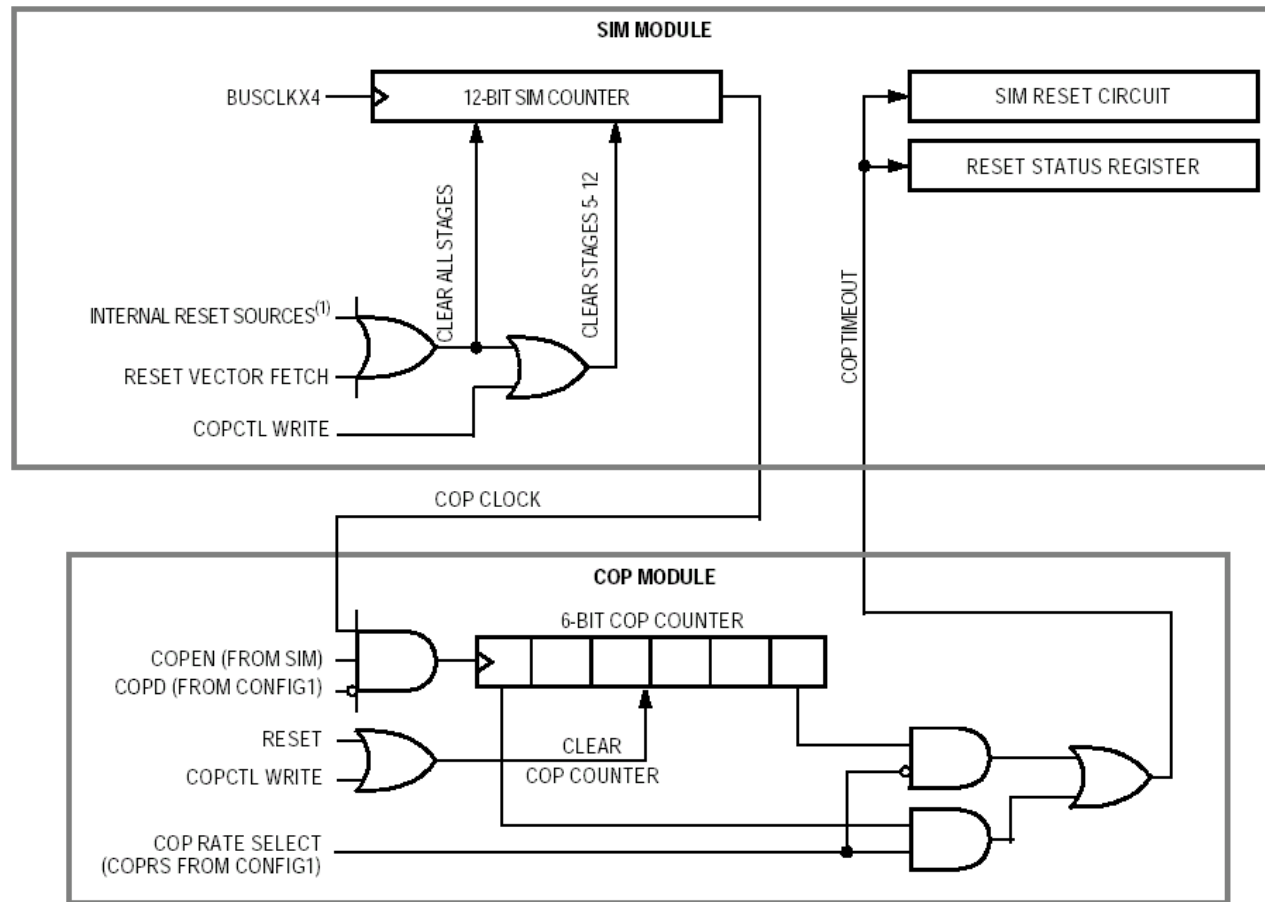
Interrupção Externa IRQ

- ◆ Pino de interrupção externa - /IRQ (PTA2)
- ◆ Bits de controle da interrupção /IRQ
- ◆ Buffer de histerese
- ◆ Programação da interrupção por borda exclusivamente, ou borda e nível
- ◆ Reconhecimento de interrupção automático
- ◆ Resistor de pull-up interno selecionável

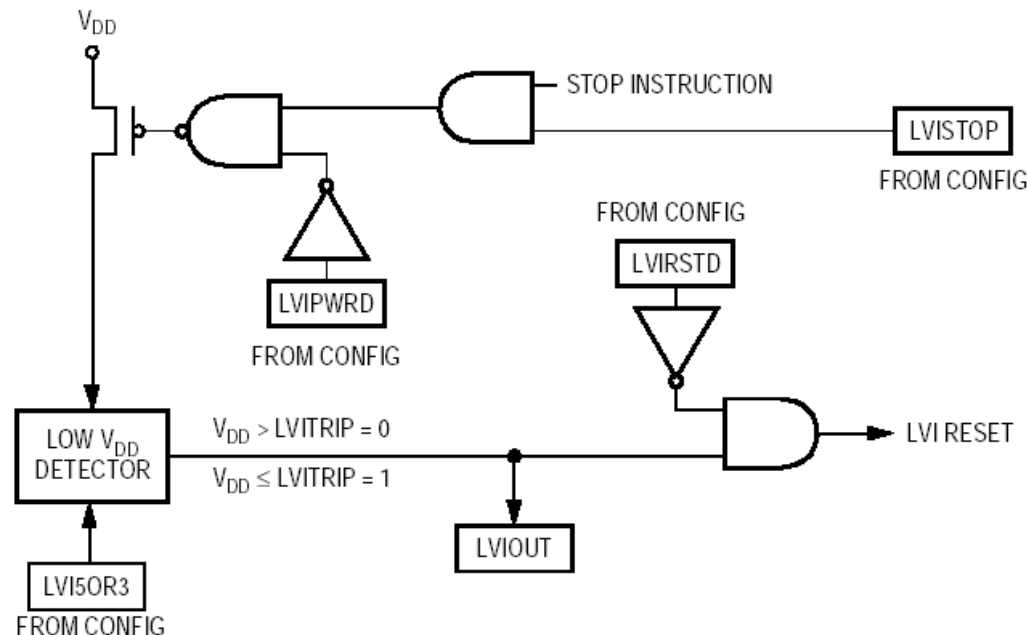
Módulo de Interrupção do Teclado (KBI)

- ◆ Principais características:
 - 6 pinos (PTA0-PTA5) de interrupção de teclado com bits de habilitação e uma máscara individuais
 - 1 interrupção controlada pela lógica de auto-despertar
 - Pull-ups configuráveis por software
 - Interrupção programável por borda e nível
 - Saída dos modos de baixo consumo

Módulo Computador Operando Corretamente (COP)



Módulo de Inibição por Tensão Baixa (LVI)



- Monitorar a tensão do pino de alimentação (V_{DD})
- Forçar um reset quando a tensão V_{DD} cair abaixo da tensão de desligamento - V_{TRIPF}

Módulo BREAK

- ◆ Gera uma interrupção (BREAK) que para o fluxo normal do programa executa um programa alternativo.
- ◆ Registradores de I/O acessíveis durante a interrupção Break.
- ◆ Eventos que causam interrupção Break:
 - CPU gera um endereço (PC) que coincide com o conteúdo dos registradores BRKH e BRKL (end. Break);
 - Software faz bit BRKA = 1 no registrador BRKSCR.